

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270655

(43) 公開日 平成10年(1998)10月9日

(51) Int. Cl. <sup>6</sup>	識別記号	F I	
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1
27/108			6 5 1
21/8242		29/78	3 7 1
21/8247			
29/788			

審査請求 未請求 請求項の数 5 F D (全 6 頁) 最終頁に続く

(21) 出願番号 特願平10-58842

(22) 出願日 平成10年(1998)2月24日

(31) 優先権主張番号 8 0 3 7 8 9

(32) 優先日 1997年2月24日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド  
MOTOROLA INCORPORAT  
RED

アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 スフィ・ザファー

アメリカ合衆国テキサス州オースチン、ア  
パートメント627、ストーン・ハロー・ド  
ライブ11915

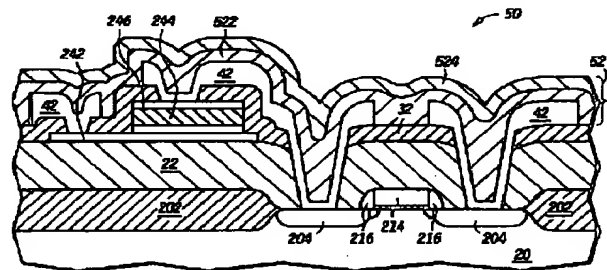
(74) 代理人 弁理士 大貫 進介 (外1名)

(54) 【発明の名称】 半導体デバイスを形成する方法

(57) 【要約】

【課題】 次工程段階の間に変化しないような、より安定した不揮発性分極 ( $P_{fv}$ ) を有するFENMMを、複雑なプロセス段階の使用または風変わりな材料の使用なしに、形成する。

【解決手段】 1またはそれ以上の誘電体層 (32、52) が、FENMMセルの強誘電体キャパシタ (24) の上に亘って、形成される。強誘電体キャパシタ (24) を被覆する誘電体層 (32、52) 内の張力は、比較的低く維持される。その張力が比較的低く維持されることによって、FENMMセルの不揮発性分極は、製造工程のバックエンドの工程段階の間も維持される。



## 【特許請求の範囲】

【請求項1】 半導体デバイスを形成する方法であって：基板（20）の上に亘って強誘電体キャパシタ（24）を形成する段階であって、当該強誘電体キャパシタ（24）はメモリセルの一部であるところの段階；および前記強誘電体キャパシタ（24）形成段階の後に第1誘電体層（52）を形成する段階であって、当該第1誘電体層（52）は $2 \times 10^4$  dynes/cmを超えない張力を有するところの段階；から構成されることを特徴とする方法。

【請求項2】 半導体デバイスを形成する方法であって：基板（20）の上に亘って強誘電体キャパシタ（24）を形成する段階であって、当該強誘電体キャパシタ（24）はメモリセルの一部である、ところの段階；および前記強誘電体キャパシタ（24）の形成段階の後、第1誘電体層（52）を形成する段階であって、実質的に完成した半導体デバイスにおいて、不揮発性分極が初期の不揮発性分極の75%よりも下に減少しない、ところの段階；から構成されることを特徴とする方法。

【請求項3】 半導体デバイスを形成する方法であって：基板（20）の上に亘って強誘電体キャパシタ（24）を形成する段階であって、当該強誘電体キャパシタ（24）はメモリセルの一部である、ところの段階；および前記強誘電体キャパシタ（24）の形成段階の後、第1誘電体層（52）を形成する段階であって、当該第1誘電体層（52）は $2 \times 10^4$  dynes/cmを超えない張力を有し、

実質的に完成した半導体デバイスにおいて、不揮発性分極が初期の不揮発性分極の75%よりも下に減少しない、ところの段階；から構成されることを特徴とする方法。

【請求項4】 半導体デバイスを形成する方法であって：基板（20）の上に亘って強誘電体キャパシタ（24）を形成する段階であって、当該強誘電体キャパシタ（24）は、メモリセルの一部であり、電極（246）を含む、ところの段階；および前記半導体デバイスの形成を終了するために、前記強誘電体キャパシタ（24）の上を覆う複数の層を形成する段階であって、前記強誘電体キャパシタ（24）上に第1誘電体層（32）を形成する段階、

当該第1誘電体層（32）および前記強誘電体キャパシタ（24）の上に亘り相互接続構造（42）を形成する段階であって、当該相互接続構造（42）は、前記強誘電体キャパシタ（24）の電極（246）に電気的に接続する、ところの段階、および前記相互接続構造（42）および前記強誘電体キャパシタ（24）の上にパッシベーション層（52）を形成する段階であって、当該パッシベーション層（52）は、少なくとも6000オングストロームの厚さを有する、ところの段階、から成る段階；を含み、かつ複数の層の合成張力が、 $2 \times 10^4$  dynes/cmを超えない、ことを特徴とする複数の層形成段階；から

構成されることを特徴とする方法。

【請求項5】 半導体デバイスを形成する方法であって：基板（20）の上に亘って強誘電体キャパシタ（24）を形成する段階であって、当該強誘電体キャパシタ（24）は、メモリセルの一部であり、電極（246）を含む、ところの段階；および前記半導体デバイスの形成を終了するために、前記強誘電体キャパシタ（24）の上を覆う複数の層を形成する段階であって、前記強誘電体キャパシタ（24）上に第1誘電体層（32）を形成する段階、当該第1誘電体層（32）および前記強誘電体キャパシタ（24）の上に亘り相互接続構造（42）を形成する段階であって、当該相互接続構造（42）は、前記強誘電体キャパシタ（24）の電極（246）に電気的に接続する、ところの段階、および前記相互接続構造（42）および前記強誘電体キャパシタ（24）の上にパッシベーション層（52）を形成する段階であって、当該パッシベーション層（52）は、少なくとも6000オングストロームの厚さを有する、ところの段階、を含み、かつ実質的に完成した半導体デバイスにおいて、不揮発性分極が初期の不揮発性分極の75%よりも下に低下しない、ところの段階；から構成されることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は一般に半導体デバイスを形成する方法に関し、特に強誘電体キャパシタを有する半導体デバイスにおける強誘電体キャパシタの初期の不揮発性分極を低下させない形成方法に関する。

## 【0002】

【従来の技術および発明が解決しようとする課題】強誘電体不揮発性メモリが、従来のフローティングゲート不揮発性メモリに代わるべき手段として認められてきている。強誘電体不揮発性メモリは、電場を取り除いた後でも、データを維持することが可能である。形成後、強誘電体不揮発性メモリ（FENM）セル内の強誘電体キャパシタは、図1に図示されるとおり、ヒステリシス曲線12を特性として有する。ヒステリシス曲線12は本質的に理想的な曲線を表している。しかしながら、パッシベーションを含むいくつかの層を形成した後、不揮発性分極（ $P_{fv}$ ）（電場が0の場合における2つのヒステリシス曲線間の差（distance）である）は、ヒステリシス曲線14で図示されるとおり低下してしまう。 $P_{fv}$ が低下し過ぎると、そのメモリセル内のデータを正確に読むことが困難になり、好ましくない。

【0003】従来、 $P_{fv}$ におけるその低下の公算（likelihood）を減少させようとする試みは、強誘電体キャパシタ内の強誘電体層の還元（酸化に相対する）に焦点を合わせていた。 $P_{fv}$ の低下を緩和するための試みのほとんどは、次のプロセス段階（例えば、デポジションおよびエッチング）の間に使用される水素の量を減少させる

こと、若しくは酸素アニールの使用を増加させることであった。これらの方策が、 $P_{\text{av}}$ 低下の公算の減少に役立てられるが、それらは、問題の完全な解決にはなっていない。

【0004】次のプロセス段階の間に変化しないような、より安定した $P_{\text{av}}$ を有するFENMを形成する必要性が存在する。また、複雑なプロセス段階の使用または風変わりな材料の使用なしに、この解決を達成する必要性も存在する。

【0005】

【好適実施例の詳細な説明】1またはそれ以上の誘電体層が、FENMセルの強誘電体キャパシタの上に亘って形成され、そこでは、その強誘電体キャパシタの上を覆う誘電体層内の合成張力が、比較的強く保たれている。その張力が比較的強く保たれることにより、FENMセルに不揮発性分極は、製造工程の後工程段階の間も維持される。本発明は、以下の具体的実施例の説明により、一層良く理解されるであろう。

【0006】図2には、強誘電体キャパシタ24の形成後、半導体デバイス基板20の図が含まれている。より詳細には、半導体デバイス基板20は、基板内に形成されるフィールドアイソレーション領域202およびドーブされた領域204を含む。この詳細な説明において使用されるとおり、半導体デバイス基板20は、単結晶半導体ウェハ、絶縁半導体ウェハ (semiconductor-on-insulating wafer) または半導体デバイスを形成するために使用されるその他の基板から構成し得る。フィールドアイソレーション領域202は、選択酸化法を使用し、またはトレンチアイソレーション法で形成される。この実施例においては、ドーピング領域204は、FENMセルのソース/ドレイン領域になる濃度の高いn型領域である。ゲート誘電体層212が基板20の上に亘って形成され、ゲート電極214がゲート誘電体層212の上に亘って形成される。この実施例において、そのトランジスタは、nチャネルMOSトランジスタである。他の実施例においては、pチャネルMOSトランジスタまたはバイポーラトランジスタも使用され得る。絶縁側壁スペーサ (insulating side wall spacers) 216が、ゲート電極214に隣接して形成される。

【0007】図2に図示されるとおり、次に、第1中間レベルの強度の誘電体 (ILD) 層 (interlevel dielectric layer) 22が、基板20の上の全体に亘って形成される。強誘電体キャパシタ24が、第1ILD層22の上に (over) 形成される。強誘電体キャパシタ24は、第1電極242、強誘電体層244および第2電極246を含む。強誘電体キャパシタ24は、従来技術を使用して形成され得る。

【0008】図3に図示されるとおり、次に、第2ILD層32が、強誘電体キャパシタ24の上に形成される。代表的には、中間レベル (interlevel) の誘電体層が、

プラズマ・テトラエチルオルソシリケート (plasma tetraethylorthosilicate (plasma TEOS)) から形成される。コンタクトの開口が、第2ILD層32を介して、下側電極242、第2電極246およびドーピング領域204に形成される。そのエッチングのシーケンスは、従来からの方法を使用して形成される。

【0009】図4に図示されるとおり、相互接続 (interconnects) 42が、半導体デバイス基板20の上に亘って形成される。その相互接続42は、アルミニウム、銅などから構成され得る。図4を参照して、図4の右側付近の相互接続は、ビットラインのコンタクトであり、図4の左側付近の相互接続は、ドライブラインのコンタクトである。そして、中間付近の相互接続は、記憶装置の接続 (storage node) のための、並びにドーピング領域204の一つを強誘電体キャパシタ24の第2電極246へ電気的に接続するための、導電性の配線 (conductive strap) である。

【0010】パッシベーション層52 (半導体デバイスの最上層レベルの相互接続 (uppermost interconnect level) を被覆する誘電体層である) が、相互接続42および中間レベルの誘電体層32の露出部分の上に亘って、形成される。パッシベーション層は、下側張力薄膜 (lower tensile film) 522および上側圧縮薄膜 (upper compressive film) 524を含む。一実施例としては、下側張力薄膜522は、ホスホシリケートガラス (phosphosilicate glass (PSG)) であり、圧縮薄膜524は、シリコンオキシナイトライド (silicon oxynitride) である。実質的には、この時点で、強誘電体不揮発性メモリセルを含む半導体デバイス50が完成する。追加のILD層および相互接続の層は、パッシベーション層52の形成以前に形成され得る (図5には図示せず)。

【0011】図6に示されるように、本発明者は、全誘電体層内の合成張力 (特に強誘電体キャパシタ24のような、平面状に、若しくは水平状に位置付けられる (horizontally-oriented) 強誘電体キャパシタ内の合成張力) が、 $P_{\text{av}}$ に影響を与えることを発見した。本明細書において使用されるとおり、合成張力は、各誘電体層内の全薄膜を含む個別の誘電体層内の張力の和である。

【0012】様々な構成要素 (例えば、トランジスタおよびキャパシタなど) を有する基板上に亘るパターンニングされた層の張力および応力を決定することは、不可能に近い。張力は、パターンニングされていないシリコンウェハを使用すると概算できる。応力 (面積あたりの力の単位を有する) は、パターンニングされていないシリコンウェハ上に層または薄膜を堆積した後、おおよそ室温で測定される。その応力は、引き伸ばす力 (tensile) または圧縮する力 (compressive) のどちらかであり、代表的には、dynes/cm<sup>2</sup>の単位で表現される。層または薄膜の張力 (長さ毎の力の単位を有し、代表的には、dynes/cmの単位で表現される) は、層または薄膜自体の厚さ

に比例する (times) 応力によって、発生する。合成張力は、個別の層または薄膜内の張力の和である。

【0013】合成張力が増加するに従い、 $P_{wv}$ は、初期の $P_{wv}$  (強誘電体キャパシタ24が形成された時の $P_{wv}$ ) からある比率で減少する。高い合成張力により、ヒステリシス曲線は、平らになり、よりヒステリシス曲線14に近くなってしまう。その合成張力は、(その合成張力が引き伸ばす力であるか、圧縮する力であるかに関わらず) 約 $2 \times 10^4$  dynes/cmよりも大きくあるべきでなく、さもなければ、初期の $P_{wv}$ から75%以上 $P_{wv}$ が減少してしまう。その初期の $P_{wv}$ は、強誘電体キャパシタ形成後であって、第2電極246の上に亘る全ての層を堆積する前の強誘電体キャパシタの $P_{wv}$ である。さらに、各々の層内の張力もまた、 $2 \times 10^4$  dynes/cm以下に維持すべきである。しかしながら、パッシベーション層52のような層内においては、各々の層内の張力 (例えば、張力薄膜522および圧縮薄膜524) は、 $2 \times 10^4$  dynes/cmよりも大きくなり得る。しかし、張力薄膜522および圧縮薄膜524の合成張力は、 $2 \times 10^4$  dynes/cmよりも小さい。

【0014】上記記述は張力についての記述であったが、その層を比較的薄く維持できる限り、比較的高い応力の薄膜を使用することも可能である。より詳細には、第2ILD層32は、 $10^4$  dynes/cm<sup>2</sup>よりも高い応力を有し得る。実施例としては、中間レベルの誘電体層が、 $10^4$  dynes/cm<sup>2</sup>と同じ大きさの応力を有し、さらに1000オングストロームの厚さを有する。この具体的実施例においては、強誘電体キャパシタの上を覆う第2ILD層32内の張力は、約 $10^4$  dynes/cmであり、それは $2 \times 10^4$  dynes/cmの限界 (limit) よりも小さい。

【0015】第2ILD層32は、2000オングストロームより薄く、よって、その限界以下に張力を維持できる。代表的に、パッシベーション層は、薄くとも6000オングストロームの厚さを有し、通常は、1.0ミクロンよりも厚い。そのパッシベーション層52が第2ILD層32と同じ応力を有する場合、パッシベーション層52内の張力は限界を超えてしまう。故に、高い応力を有する層は、その厚さを十分に薄く維持すれば無視 (tolerate) できるが、厚い層程、合成張力に大きく影響する。

【0016】当業界では、酸化膜または窒化膜のたった一つの層が、強誘電体キャパシタを有するFEMMセルのパッシベーション層として使用されている。二層膜 (dual-film) パッシベーション層52が施される (tailor) ことにより、強誘電体キャパシタ24上にかかる応力を軽減する。張力薄膜522および圧縮薄膜524の各々の内側の張力が張力の限界を超えるにもかかわらず、パッシベーション層52内の各薄膜内の張力が少なくとも部分的に互いに相殺されるので、パッシベーション層52内の合成張力は合成張力限界の範囲内である。

【0017】一般に、薄膜の組合せ (例えば、パッシベーション層52) を含む層のほとんどが、張力薄膜の張

力を変化させ得る水分を吸収するという張力薄膜の潜在的性質のために、圧縮薄膜の下に亘って張力薄膜を有する。さらに他の実施例としては、多数の異なる薄膜が、単一層を形成し得る。例えば、銅が、相互接続として使用され、一般に、拡散隔膜が銅の上に亘って形成され、銅が酸化膜中へ拡散するのを防止する。代表的には、その拡散隔膜は圧縮薄膜である。この実施例においては、他の圧縮薄膜によって被覆される張力薄膜により、さらに被覆される張力薄膜でもよい。合成張力を合わせることで、実質的に完成した半導体デバイス50の $P_{wv}$ は、初期の $P_{wv}$ の75%以下に減少することはない。

【0018】他の実施例においては、強誘電体キャパシタは、平面状に形成されるのと同様に、トレンチ内に垂直状に位置付けることもできる。ここで使用されるとおり、垂直状に位置付けるとは、キャパシタの電極板 (plates) が、実質的に基板の初期の表面に対して垂直であることを意味する。一実施例としては、トレンチが、基板内に形成される。垂直状のエッジを有する誘電体層が、基板のトレンチ内に形成される。強誘電体キャパシタは、その垂直状のエッジの付近に形成される。温度サイクルの間に、その誘電体層の水平方向の張力が、万力のように強誘電体キャパシタの電極を圧縮し得る。それによって、図2~5に示される実施例のように、潜在的に $P_{wv}$ の減少を引き起こす。このことを防止するために、トレンチ内の誘電体層は、その張力が $2 \times 10^4$  dynes/cmよりも大きくなりないように形成されるべきである。

【0019】前記詳細な説明にて、本発明は、実施例に関連して記述されてきた。しかしながら、通常の知識を有する当業者には、本発明の請求の範囲から逸脱することなく、様々な変更、改変を成し得るであろう。従って、本明細書および図面は、限定というよりもむしろ例示とみなされる。全てのそのような変更は本発明の請求の範囲内に含まれるであろう。請求の範囲において、手段プラス機能の請求項は (もしあればだが)、ここで記述された、詳細な機能を実行する構造を含む。また、手段プラス機能の請求項は、詳細な機能を実行する構造的同等物および同等の構造物をも含む。

【図面の簡単な説明】

【図1】理想的ヒステリシス曲線、並びに実質的に完成されたデバイスの形成後にみられる一般的なヒステリシスの印加電圧に対する分極のプロット図 (従来技術)。

【図2】強誘電体キャパシタを形成した後の半導体基板の一部分の断面図。

【図3】本発明の実施例に従った、パターンニングされた中間レベルの誘電体層を形成した後における図2の基板の断面図。

【図4】相互接続形成後における図3の基板の断面図。

【図5】本発明に従った、パッシベーション層形成後における図4の基板の断面図。

【図6】FEMMセル内の薄膜の複合張力の機能としてブ

10

20

30

40

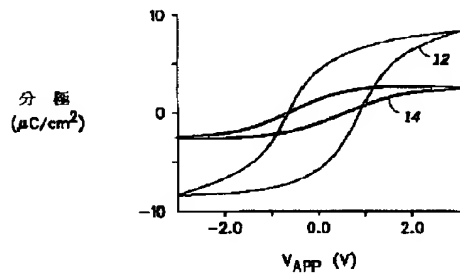
50

ロットされた不揮発性分極の減少のプロット図。

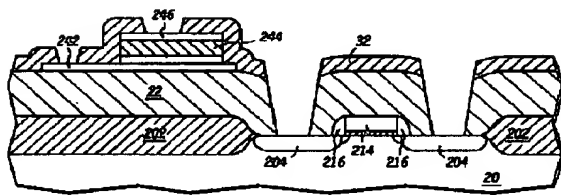
【符号の説明】

- 12、14 ヒステリシス曲線
- 20 半導体デバイス基板
- 22、32 ILD層
- 24 強誘電体キャパシタ
- 42 相互接続
- 50 半導体デバイス
- 52 パッシベーション層

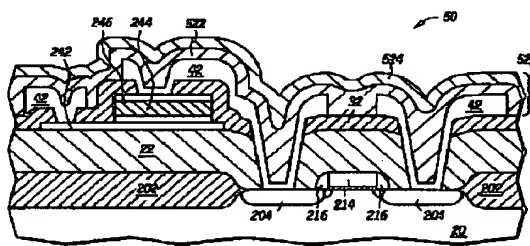
【図1】



【図3】

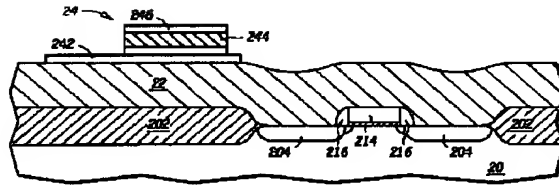


【図5】

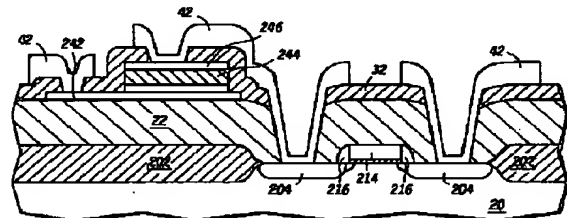


- \* 202 フィールドアイソレーション領域
- 204 ドープされた領域
- 212 ゲート誘電体層
- 214 ゲート電極
- 216 絶縁側壁スペーサ
- 242、246 電極
- 244 強誘電体層
- 522 下側張力薄膜
- \* 524 圧縮薄膜

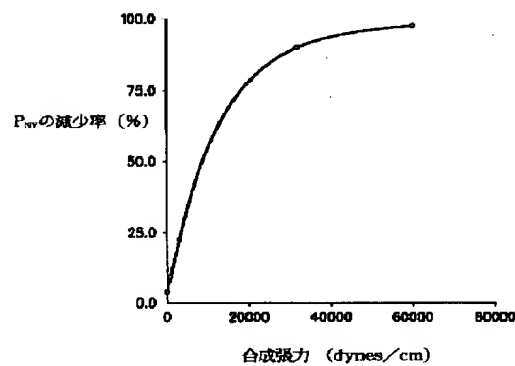
【図2】



【図4】



【図6】



(6)

特開平10-270655

フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/792